

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

2/5/1 (Item 1 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

012131602 \*\*Image available\*\*

WPI Acc No: 1998-548514/ 199847

XRPX Acc No: N98-427742

Multilayered wiring board for semiconductor device manufacture - has set of insulating layers from which thermal expansion coefficient of highest and lowest insulating layers are controlled in specific range in suitable temperature range

Patent Assignee: KYOCERA CORP (KYOC )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10242326	A	19980911	JP 9743672	A	19970227	199847 B

Priority Applications (No Type Date): JP 9743672 A 19970227

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10242326	A	6		H01L-023/12	

Abstract (Basic): JP 10242326 A

The wiring board (A) has a set of insulating layers (1a-1d) which are formed on a mother board (5) through solder (4). A wiring circuit (2) containing low resistance metal such as copper, aluminium, silver or gold is provided on the insulating layers.

A semiconductor device (3) is mounted on the highest insulating layer (1a) whose thermal expansion coefficient is set to below  $10 \times 10^{-6}/\text{degC}$  in temperature range between room temperature and  $250\text{degC}$ . The thermal expansion coefficient of the lowest insulating layer (1d) is set in between  $10 \times 10^{-6}$  to  $25 \times 10^{-6}/\text{degC}$  in temperature range between room temperature and  $250\text{degC}$ .

ADVANTAGE - Improves connection reliability. Improves durability of multilayer wiring board.

Dwg.1/1

Title Terms: MULTILAYER; WIRE; BOARD; SEMICONDUCTOR; DEVICE; MANUFACTURE; SET; INSULATE; LAYER; THERMAL; EXPAND; COEFFICIENT; HIGH; LOW; INSULATE; LAYER; CONTROL; SPECIFIC; RANGE; SUIT; TEMPERATURE; RANGE

Derwent Class: U11; U14; V04

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H05K-003/46

File Segment: EPI

2/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05959226 \*\*Image available\*\*

MULTILAYERED WIRING BOARD

PUB. NO.: 10-242326 A]

PUBLISHED: September 11, 1998 (19980911)

INVENTOR(s): NISHIMOTO AKIHIKO

APPLICANT(s): KYOCERA CORP [358923] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 09-043672 [JP 9743672]

FILED: February 27, 1997 (19970227)

INTL CLASS: [6] H01L-023/12; H05K-003/46

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC CHEMISTRY -- High Polymer Molecular Compounds); 42.1 (ELECTRONICS -- Electronic Components)

JAPIO KEYWORD: R002 (LASERS); R031 (METALS -- Powder Metallurgy); R040 (CHEMISTRY -- Reinforced Plastics); R044 (CHEMISTRY -- Photosensitive Resins); R057 (FIBERS -- Non-woven Fabrics);

R124 (CHEMISTRY -- Epoxy Resins)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a multilayered wiring board suited for the flip chip mounting of semiconductor devices or BGA mounting.

SOLUTION: The board comprises insulation layers 1 having containing at least an organic resin, and wiring circuits 2 made of at least a low resistance metal such as Cu, Al, Ag or Au. Semiconductor elements 3 are mounted on the uppermost insulation layer 1a having a thermal expansion coefficient of  $10 \times 10^{-6}$ / deg.C or less at room temperature to 250 deg.C while the lowermost interconnect layer 1d has a thermal expansion coefficient of  $10 \times 10^{-6}$ / deg.C- $25 \times 10^{-6}$ / deg.C at the range from room temperature to 250 deg.C. The elements 3 are mounted by means of flip-chip process on the uppermost layer 1a, and the lowermost layer 1d has connecting terminals connected to a mother board through solder.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242326

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

N

H 0 5 K 3/46

H 0 5 K 3/46

T

Q

H 0 1 L 23/12

J

L

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号

特願平9-43672

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地  
の22

(22)出願日 平成9年(1997)2月27日

(72)発明者 西本 昭彦

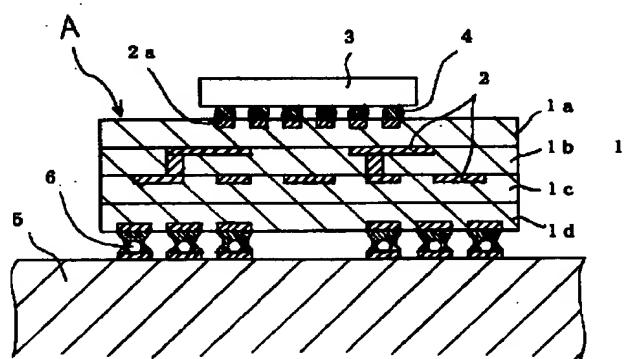
鹿児島県国分市山下町1番4号 京セラ株  
式会社総合研究所内

(54)【発明の名称】 多層配線基板

(57)【要約】

【課題】半導体素子のフリップチップ実装や、BGA実装に適した多層配線基板を提供する。

【課題手段】少なくとも有機樹脂を含む絶縁層1と、銅、アルミニウム、銀、金のうち少なくとも1種の低抵抗金属からなる配線回路2とを具備し、最上層の絶縁層1aの表面に半導体素子3が搭載される多層配線基板Aにおいて、最上層の絶縁層1aの室温～250°Cにおける熱膨張係数が $1.0 \times 10^{-6}/\text{°C}$ 以下であり、且つ最下層1dの室温～250°Cにおける熱膨張係数が $1.0 \times 10^{-6}/\text{°C}$ よりも大きく、 $2.5 \times 10^{-6}/\text{°C}$ 以下であることを特徴とし、半導体素子3は、最上層の絶縁層1aにフリップチップ実装され、最下層の絶縁層1dには、接続端子6を具備し、接続端子6を半田を介してマザーボード5と接続する。



## 【特許請求の範囲】

【請求項1】少なくとも有機樹脂を含む絶縁層と、金属からなる配線回路とを具備し、最上層の絶縁層の表面に半導体素子が搭載される多層配線基板において、前記最上層の絶縁層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ 以下であり、且つ前記最下層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ よりも大きく、 $25 \times 10^{-6}/\text{℃}$ 以下であることを特徴とする多層配線基板。

【請求項2】前記半導体素子は、前記最上層の絶縁層にフリップチップ実装される請求項1記載の多層配線基板。

【請求項3】前記最下層の絶縁層には、接続端子を具備し、該接続端子が、半田を介してマザーボードと接続される請求項1記載の多層配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えば、半導体素子収納用パッケージなどに適した、少なくとも有機樹脂を含む複合材料からなる絶縁基板を具備した多層配線基板に関するもので、今後の実装形態であるフリップチップに対応した多層配線板に関するものである。

## 【0002】

【従来技術】従来より、多層配線基板、例えば、半導体素子を収納するパッケージに使用される多層配線基板として、高密度の配線が可能なセラミック多層配線基板が多用されている。この多層セラミック配線基板は、アルミナなどの絶縁基板と、その表面に形成されたWやMo等の高融点金属からなる配線導体とから構成されるもので、この絶縁基板の一部に凹部が形成され、この凹部内に半導体素子が収納され、蓋体によって凹部を気密に封止されるものである。

【0003】ところが、このようなセラミック多層配線基板の絶縁基板を構成するセラミックスは、硬くて脆い性質を有することから、製造工程または搬送工程において、セラミックスの欠けや割れ等が発生しやすく、半導体素子の気密封止性が損なわれることがあるために歩留りが低い等の問題があった。

【0004】また、多層セラミック配線基板においては、焼結前のグリーンシートにメタライズインクを印刷して、印刷後のシートを積層して焼結させて製造されるが、その製造工程において、高温での焼成により焼成収縮が生じるために、得られる基板に反り等の変形や寸法のばらつき等が発生しやすいという問題があり、回路基板の超高密度化やフリップチップ等のような基板の平坦度の厳しい要求に対して、十分に対応できないという問題があった。

【0005】そこで、最近では、銅箔を接着した有機樹脂を含む絶縁基板表面にエッチング法により微細な回路を形成し、かかるのちにこの基板を積層して多層化した

プリント基板も提案されている。また、このようなプリント基板においては、その強度を高めるために、有機樹脂に対して、球状あるいは繊維状の無機質フィラーを分散させた基板も提案されており、これらの複合材料からなる絶縁基板上に多数の半導体素子を搭載したマルチチップモジュール(MCM)等への適用も検討されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような少なくとも有機樹脂を含む複合材料を絶縁基板とする従来のプリント基板によれば、基板の熱膨張係数が $12 \sim 19 \times 10^{-6}/\text{℃}$ 程度であるのに対して、絶縁基板上に搭載されるSi系半導体素子の熱膨張係数 $2.5 \times 10^{-6}/\text{℃}$ と離れているため半導体素子との接続信頼性が悪くなる。この傾向は、半導体素子の実装形態であるフリップチップ実装において特に顕著で、フリップチップやBGA等の両方の実装に対応した多層配線プリント基板の開発が望まれていた。

【0007】そこで、プリント基板の絶縁層を半導体素子の熱膨張係数と近似させることが考えられるが、その場合、プリント基板を、ガラスーエポキシ系複合材料等からなるマザーボードに接続する場合、一般にそれらマザーボードの熱膨張係数は、 $12 \sim 19 \times 10^{-6}/\text{℃}$ と大きいために、半導体素子を搭載した多層プリント配線基板をマザーボードに実装した場合に、マザーボードとの接続信頼性が悪くなるという問題があった。このマザーボードとの熱膨張差による接続信頼性の低下は、例えば、最下層の絶縁層に取り付けられたボール状の接続端子を半田等により実装する、いわゆるボールグリッドアレイなどの配線基板のマザーボードへの実装において特に顕著である。

## 【0008】

【課題を解決するための手段】本発明者は、上記のような課題について鋭意検討した結果、少なくとも有機樹脂を含む絶縁層と、金属からなる配線回路とを具備した多層配線基板において、半導体素子が実装される最上層の絶縁層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ 以下で、前記最下層の室温～250℃における熱膨張係数が $10 \sim 25 \times 10^{-6}/\text{℃}$ とすることにより、半導体素子とマザーボードの両方の接続信頼性向上させることができ、今後の実装形態であるフリップチップ実装やBGAの実装に適した多層配線基板であることを見いだし本発明に至った。

【0009】即ち、本発明の多層配線基板は、少なくとも有機樹脂を含む絶縁層と、金属からなる配線回路とを具備し、最上層の絶縁層の表面に半導体素子が搭載される多層配線基板において、前記最上層の絶縁層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ 以下であり、且つ前記最下層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ よりも大きく、 $25 \times 10^{-6}/\text{℃}$

℃以下であることを特徴とするものであり、さらには、前記半導体素子は、前記最上層の絶縁層にフリップチップ実装されること、前記最下層の絶縁層は、半田を介してマザーボードと接続されることを特徴とするものである。

## 【0010】

【発明の実施の形態】本発明の多層配線基板は、少なくとも有機樹脂を含む絶縁層と、例えは、銅、アルミニウム、銀、金のうち少なくとも1種の低抵抗金属からなる配線回路とを具備するものである。

【0011】絶縁層中に含まれる有機樹脂としては、PPE(ポリフェニレンエーテル)、BTレジン(ビスマレイミドトリアジン)、エポキシ樹脂、ポリイミド樹脂、フッ素樹脂、フェノール樹脂等が挙げられ、製造上の点から、とりわけ原料として室温で液体の熱硬化性樹脂であることが望ましい。

【0012】また、絶縁層中には、上記有機樹脂の他に、絶縁層の強度や、熱膨張特性など種々の特性を制御することを目的として、フィラー成分として、無機化合物、有機纖維及び無機纖維のうち少なくとも1種を含むことが望ましい。これらのフィラー成分は、絶縁層中に50～80体積%の割合で含有されていることが望ましい。この含有量によって所望の熱膨張係数の絶縁基板を得ることができる。

【0013】具体的なフィラー成分としては、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZrO<sub>2</sub>、TiO<sub>2</sub>、AlN、BaTiO<sub>3</sub>、SrTiO<sub>3</sub>、ゼオライト、CaTiO<sub>3</sub>、MgTiO<sub>3</sub>、ほう酸アルミニウム等の公知の材料が使用できる。フィラーの形状は平均粒径が20μm以下、特に10μm以下、最適には7μm以下の略球形状の粉末の他、平均アスペクト比が2以上、特に5以上の纖維状のものも使用できる。有機纖維としてはアラミド纖維、セルロース纖維等があり、織布、不織布のいずれを用いても構わない。また、無機纖維としては、ガラス纖維が用いられ、織布、不織布のいずれを用いても構わない。

【0014】次に、本発明の多層配線基板の一例を図1に示す。図1の多層配線基板によれば、絶縁層1a～1dが複数層積層されて絶縁基板1を構成しており、絶縁基板1の最上面、絶縁基板内部、さらには、絶縁基板の底面には、銅、アルミニウム、銀、金のうち少なくとも1種の低抵抗金属からなる配線回路2が配設されている。この配線回路2は、金属箔や、これらの低抵抗金属を含むペーストを塗布して形成されたものである。

【0015】そして、配線基板Aにおける最上層の絶縁層1aの表面には、半導体素子3がを接続するための配線回路2aが形成されており、この配線回路2aは、半導体素子3と電気的に接続される。図1の例では、半導体素子3がフリップチップ実装された構造を示すものであり、半導体素子3の電極(図示せず)が、半田4を介

して配線回路2aと電気的に接続される。

【0016】一方、絶縁基板における最下層の絶縁層1dの表面には、マザーボード5と接続するための接続端子6が形成されている。なお、接続端子6は、絶縁基板の最上面に形成された配線回路2aと、内部に形成された配線回路を通じて電気的に接続されている。図1の配線基板では、ボールグリッドアレイの例を示すもので、この接続端子は6は、ボール状の高融点半田等から構成され、マザーボード5と低融点半田により接続される。

【0017】本発明によれば、図1に示されるような多層配線基板において、最上層の絶縁層1aの室温～250℃における熱膨張係数を $10 \times 10^{-6}/\text{°C}$ 以下、特に $2 \sim 7 \times 10^{-6}/\text{°C}$ 以下とすることが重要である。この熱膨張係数が $10 \times 10^{-6}/\text{°C}$ よりも大きいと、フリップチップ実装された半導体素子との接続信頼性が低下する。

【0018】なお、半導体素子をフリップチップ実装する場合、実装面は精度の高い平坦度が要求される。このような平坦度を実現する上で、半導体素子が搭載される絶縁層1a表面に形成される配線回路2aは、図1に示されるように、絶縁層1a表面に埋め込まれた状態であることが望ましい。このような配線回路2aの埋め込みは、絶縁層表面に配線回路を形成する際、あるいは形成後に圧力を印加して強制的に埋め込み処理すればよい。

【0019】さらに、本発明によれば、配線基板の最下層1dの室温～250℃における熱膨張係数を $10 \times 10^{-6}/\text{°C}$ よりも大きく、 $25 \times 10^{-6}/\text{°C}$ 以下、特に $12 \sim 20 \times 10^{-6}/\text{°C}$ とすることが重要である。これは、本発明の配線基板をマザーボード等の外部電気回路基板に実装した場合の接続信頼性を高めるものであり、最下層の熱膨張係数が $10 \times 10^{-6}/\text{°C}$ 以下、あるいは $25 \times 10^{-6}/\text{°C}$ よりも大きいと、マザーボードとの熱膨張差が大きくなり、接続信頼性が低下するためである。

【0020】また、最上層の絶縁層1aと最下層の絶縁層1dとの間に存在する絶縁層1b、1cの熱膨張係数は、最上層の絶縁層1aから最下層の絶縁層1dにかけて次第に熱膨張係数が大きくなるように変化させることができが望ましい。これは、最上層の絶縁層1aと最下層の絶縁層1dとの熱膨張差による配線基板内での熱応力の発生を抑制し多層配線構造の信頼性を高めるためである。

【0021】絶縁層の熱膨張係数の制御は、例えは、絶縁層を構成する有機樹脂が、一般に熱膨張係数が50～ $100 \times 10^{-6}/\text{°C}$ 以上と高いことから、絶縁層中に熱膨張係数の小さいフィラー成分を配合し、その配合量を調整することにより、任意の熱膨張係数の絶縁層を作製することができる。特に、熱膨張係数の小さいフィラーとして、溶融SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、BaTiO<sub>3</sub>、CaTiO<sub>3</sub>、MgTiO<sub>3</sub>等が好適である。これらのフィラーは、いずれもそれ自体で、 $10 \times 10^{-6}/\text{°C}$ 以下

の熱膨張係数を有することから、有機樹脂との組み合わせにより、熱膨張係数の制御が容易である。

【0022】従って、絶縁基板を同一の有機樹脂とフィラー成分によって構成する場合、半導体素子が搭載される最上層の絶縁層中の低熱膨張のフィラー量を最も多くし、最下層の絶縁層の前記フィラーレベルを少なく設定すればよく、さらには、最上層の絶縁層と最下層の絶縁層間の絶縁層におけるフィラーレベルを徐々に変化させることにより、熱膨張係数を徐々に変化させることが可能となる。

【0023】このような多層配線基板は、例えば次のように作製される。まず、絶縁層を形成するに、目的とする熱膨張係数を得ることのできる、無機質フィラーに液状の有機樹脂に加えた絶縁性組成物を、混練機（ニアダ）や3本ロールなどの混練機等の手段によって十分に混合する。十分に混合されたものを圧延法、押し出し法、ドクターブレード法などの周知の樹脂成形方法により、シート状に成形して絶縁層を得る。

【0024】この時、有機樹脂を半硬化させておくのが望ましく、半硬化には、有機樹脂は熱可塑性樹脂の場合には、加熱下で混合したものを冷却し、熱硬化性樹脂の場合には、完全固化するに十分な温度よりもやや低い温度に加熱すればよい。また、フィラー成分として有機繊維及び無機繊維を含む場合、織布または不織布にワニス状の樹脂を含浸、乾燥させ半硬化のプリプレグを得る。

【0025】次に、上記のようにして作製した絶縁層に対して、所望により打ち抜き法やレーザー加工によりピアホールを形成して導体ペーストを充填する。導体ペースト中に配合される金属粉末としては、銅、アルミニウム、銀、金のうち少なくとも1種の低抵抗金属からなることが望ましく、有機溶剤とバインダーを添加しペーストを得ることができる。

【0026】そして、この半硬化状の絶縁層表面に配線回路を形成する。配線回路の形成には、銅等の金属箔を絶縁層に接着剤で張りつけた後に、回路パターンのレジストを形成して酸等によって不要な部分の金属をエッチング除去するか、予め打ち抜き加工した金属箔を張り付ける。他の方法としては、絶縁層の表面に銅、アルミニウム、金、銀などの金属粉末を含む導体ペーストを回路パターンにスクリーン印刷や、フォトレジスト法等によって形成した後、乾燥して加圧し、配線回路を絶縁層表面に埋め込むことができる。また、配線回路をフィルム、ガラス、金属板上にメッキ、金属箔を形成し、これをエッチング等により回路パターンを形成し、絶縁層上に加圧しながら転写することにより、配線回路を絶縁層表面に埋め込むことができる。

【0027】そして、上記に示すように作製した絶縁層を所望の枚数積層し、150～300℃で硬化し接着させることにより、多層配線基板を作製できる。

【0028】このように、少なくとも有機樹脂を含む絶

縁層と低抵抗金属からなる配線回路とを具備した多層配線基板において、半導体素子が搭載される最上層の絶縁層の熱膨張係数およびマザーボードに実装される最下層の絶縁層の熱膨張係数を前述したように制御することにより、多層配線基板の半導体素子とマザーボードの両方の接続信頼性を向上させることができる。それにより、半導体素子のフリップチップ実装や、ボールグリッドアレイ型の実装に適した多層配線基板を作製することができる。

#### 10 【0029】

【実施例】本発明の多層配線基板を製造するために、無機フィラーとして平均粒径が5μmの溶融シリカを50～80体積%、有機樹脂としてBTRジン、ポリイミド樹脂、熱硬化型PPE（ポリフェニレンエーテル）樹脂を50～20体積%の範囲で表1に示すような熱膨張係数になるように秤量し、これに溶媒として酢酸ブチルを加え、さらに有機樹脂の硬化を促進させるための触媒を添加し、攪拌翼が公転および自転する攪拌機により1時間混合した後、スラリーを調製した。このスラリーをドクターブレード法により、厚み200μmのシート状に成形して絶縁層を得た。

【0030】また、有機繊維としてアラミド繊維、無機繊維としてガラス繊維にBTRジンを50体積%含浸乾燥させ厚さ200μmのプリプレグの絶縁層を作製したこれらの絶縁層を150mm□にカットし、CO<sub>2</sub>レーザーによりピアホールを形成した。この絶縁層に銅を主成分とする導体ペーストをスクリーン印刷法により線幅50μm、回路間距離50μmの回路を形成し、ピアホールにも同様の導体ペーストを埋め込んだ。

30 【0031】このようにして得られた絶縁層を最上層および最下層の絶縁層の熱膨張係数が表1であり、最上層と最下層との間の絶縁層の熱膨張係数が徐々に変化するように絶縁層を選択し、合計8層を積層し、200℃、30分、窒素中で有機樹脂を硬化し、多層配線基板を得た。なお、絶縁層の熱膨張係数はTMA法により測定した。そして、多層配線基板の最下層の絶縁層表面には、共晶半田からなるボール状の接続端子を多数半田接続した。

【0032】そして、多層配線板の最上層の絶縁層表面に形成した配線回路にSi半導体チップを半田によりフリップチップ実装し、チップを実装した多層配線基板をFR-4（エポキシ樹脂—ガラス布複合材料）のマザーボードの電極に、ボール状接続端子を半田付け実装した。

【0033】次に、各試料について20個につき、-40～120℃の温度サイクル試験を1000サイクル行い、電気的接続が変化しないものを良品、電気的接続が変化したものを不良品とし、不良率を表1に示した。

#### 【0034】

50 【表1】

試験 No.	被試験の構成 基層 : フィラー	最上層		最下層		チップ との 接続 信頼性	サード との 接続 信頼性
		フィラー量 (体積%)	熱膨張係数 ( $\times 10^{-6}/\text{℃}$ )	フィラー量 (体積%)	熱膨張係数 ( $\times 10^{-6}/\text{℃}$ )		
1	BTレジン : SiO <sub>2</sub>	80	6	63	13	0/20	0/20
2	〃 : 〃	78	7	63	13	0/20	0/20
3	〃 : 〃	75	8	63	13	0/20	0/20
4	〃 : 〃	73	9	63	13	1/20	0/20
5	〃 : 〃	70	10	63	13	1/20	0/20
※6	〃 : 〃	68	11	63	13	17/20	0/20
※7	〃 : 〃	63	13	63	13	20/20	0/20
※8	〃 : 〃	78	7	75	8	0/20	20/20
※9	〃 : 〃	78	7	73	9	0/20	16/20
※10	〃 : 〃	78	7	70	10	0/20	2/20
11	〃 : 〃	78	7	68	11	0/20	0/20
12	〃 : 〃	78	7	63	13	0/20	0/20
13	〃 : 〃	78	7	55	15	0/20	0/20
14	〃 : 〃	78	7	50	20	0/20	0/20
15	〃 : 〃	80	7	45	23	0/20	1/20
16	〃 : 〃	80	7	40	25	0/20	1/20
※17	〃 : 〃	80	7	35	27	0/20	20/20
18	剝離材 : 〃	78	8	63	14	0/20	0/20
19	PPE : 〃	78	7	63	13	0/20	0/20
※20	BTレジン : 繊維布	50	15	50	15	20/20	0/20
21	BTレジン : — SiO <sub>2</sub> 78	7	50	15	0/20	0/20	
※22	BTレジン : アセト酸	50	16	50	16	20/20	0/20
23	BTレジン : — SiO <sub>2</sub> 78	7	アセト酸50	16	0/20	0/20	

※印は本発明の範囲外の試料を示す。

【0035】表1に示すように、多層配線基板の最上層の室温～250℃における熱膨張係数が $10 \times 10^{-6}/\text{℃}$ 以下、最下層の室温～250℃における熱膨張係数が $10 \times 10 \times 10^{-6}/\text{℃}$ を越え、 $25 \times 10^{-6}/\text{℃}$ 以下とすることによりフリップチップ実装及びBGAによるマザーボードへの表面実装に適した多層配線基板を得ることができた。

#### 【0036】

【発明の効果】以上詳述したように、本発明によれば、少なくとも有機樹脂を含む絶縁層と銅、アルミニウム、銀、金のうち少なくとも1種の低抵抗金属からなる配線

回路とを具備した多層配線基板において、最上層の絶縁層の熱膨張係数と最下層の熱膨張係数を制御することにより、半導体素子とマザーボードの両方に対する接続信頼性を向上させることができ、半導体素子のフリップチップ実装やボールグリッドアレイによる配線基板の実装において、長期にわたり接続信頼性に優れた多層配線基板を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の多層配線基板の構造を説明するための概略図である。

#### 50 【符号の説明】

- A 多層配線基板  
1 絶縁基板  
1a～1d 絶縁層  
2 配線回路

- 3 半導体素子  
4 半田  
5 マザーボード  
6 接続端子

【図1】

